

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.



(19) BUNDESREPUBLIK

DEUTSCHLAND

DEUTSCHES  
PATENTAMT(12) **Patentschrift**  
(10) **DE 35 45 040 C2**(51) Int. Cl. 8:  
**H 01 L 21/74**  
H 01 L 29/70  
H 01 L 21/22

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

(30) Unionspriorität: (32) (33) (31)

20.12.84 IT 6633 A/84

(73) Patentinhaber:

SGS Microelettronica S.p.A., Catania, IT

(74) Vertreter:

Klunker, H., Dipl.-Ing. Dr.rer.nat.; Schmitt-Nilson, G.,  
Dipl.-Ing. Dr.-Ing.; Hirsch, P., Dipl.-Ing.,  
Pat.-Anwälte, 80797 München

(72) Erfinder:

Musumeci, Salvatore, Dr., Riposto, IT

(56) Für die Beurteilung der Patentfähigkeit  
in Betracht gezogene Druckschriften:

DE 22 19 696 C3

DE 25 42 153 A1

US 41 32 573

US 35 76 475

VARA, M.B.: A Self Isolation Scheme for Integrated Circuits, in US-Z.: IBM Journal of Research and Development, Vol. 15, Nr. 6, 1971, S. 430-435;  
MUELLER, H. - RUPPRECHT, H. S. et al.: Forming Buried Subcollectors by Ion Implantation, in US-Z.: IBM Technical Disclosure Bulletin, Vol. 19, Nr. 3, August 1976, S. 865-866;

(54) Verfahren zur Herstellung einer vergrabenen Schicht und einer Kollektorzone in einer monolithischen Halbleitervorrichtung

DE 35 45 040 C2

DE 35 45 040 C2

## Beschreibung

Die Erfindung betrifft ein Verfahren zur Herstellung von elektronischen Halbleitervorrichtungen und insbesondere solchen, die eine integrierte Schaltung sowie Leistungselemente auf demselben Plättchen (Chip) aus Halbleitermaterial aufweisen.

Im engeren Sinne betrifft die Erfindung ein Verfahren zur Herstellung einer Halbleitervorrichtung, die wenigstens einen Leistungstransistor sowie einen Steuertransistor enthält.

Um den Kollektorreihenwiderstand von Transistoren der integrierten Schaltung zu verringern, ist es bekannt, unter der Kollektorzone der Transistoren eine vergrabene Schicht (buried layer) auszubilden. Wenn diese vergrabene Schicht auf einer stark dotierten Schicht ausgebildet wird, ergibt sich das bekannte Ausdiffusionsphänomen (out-diffusion), das darin besteht, daß der Dotierstoff in der dotierten Schicht unterhalb der vergrabenen Schicht aus der Ursprungsschicht heraus diffundiert; dadurch erhält die sich ergebende vergrabene Schicht eine größere Dicke als gewünscht sowie veränderte elektrische Eigenschaften. Außerdem wird die Kollektorzone, die über der vergrabenen Schicht liegt, verändert, weil sich in ihr, insbesondere in dem Teil, der näher an der vergrabenen Schicht liegt, Zwischenschichten ausbilden können, die auch als unerwünschte Phantomschichten bezeichnet werden. Diese haben nämlich eine Leitfähigkeit, die entgegengesetzt zu derjenigen ist, die in der vergrabenen Schicht und in der darüberliegenden Kollektorzone vorliegen muß.

Das Phänomen der Ausdiffusion ist besonders spürbar bei monolithischen Strukturen, bei denen die Komponenten der integrierten Schaltung untereinander und vom Rest des Substrates von Zonen getrennt sind, die als Isolierzonen (isolation regions) bezeichnet werden und deren Leitfähigkeit entgegengesetzt zu derjenigen des Substrates ist.

Aufgrund der schädlichen Wirkungen der Ausdiffusion sind erhebliche Anstrengungen gemacht worden, um die Ausdiffusion zu vermeiden oder wenigstens zu verringern. Bei einem bekannten Verfahren wird das Phänomen der Ausdiffusion dadurch verringert, daß die Temperatur der Bearbeitungsvorgänge verringert wird. Bei einem anderen, ebenfalls bekannten Verfahren werden innerhalb eines sehr engen Variationsbereiches die Dotierstoffkonzentrationen, die Zeiten und die Temperaturen gesteuert; diese Herstellungsverfahren für die Vorrichtung sind jedoch so kritisch, daß sie industriell unwirtschaftlich sind.

Bei den genannten monolithischen Strukturen besteht außer dem Problem der Ausdiffusion das Problem, die Kollektorzone des Leistungstransistors und die Kollektorzonen der Transistoren der integrierten Schaltung mit Dotierstoffkonzentrationen zu erhalten, die voneinander verschieden sind. Diese Notwendigkeit kann sich auch bei Transistoren ergeben, die zu der integrierten Schaltung gehören, wenn von ihnen unterschiedliche elektrische Leistungen gefordert werden.

So ist beispielsweise in der Kollektorzone der Transistoren der integrierten Schaltung, die bei einer niedrigen Kollektor-Emitter-Sättigungsspannung arbeiten sollen, eine höhere Dotierung erforderlich.

Aus der Druckschrift DE-C3-22 19 696 ist ein Verfahren zum Herstellen einer monolithisch integrierten Halbleiteranordnung bekannt, bei dem an vorbestimmten Oberflächenstellen eines Halbleitersubstrats eines ersten Leitungstyps selektiv ein einen entgegengesetz-

ten Leitungstyp erzeugendes Dotierungsmaterial eindiffundiert und das eindiffundierte Dotierungsmaterial zur Ausbildung umdotierter Isolationsbereiche bis zur Oberfläche der epitaktischen Schicht nach dem Aufbringen einer epitaktischen Halbleiterschicht des ersten Leitungstyps auf das Substrat ausdiffundiert wird, und bei dem innerhalb und außerhalb der so gebildeten Isolationsbereiche zueinander komplementäre Feldeffekttransistoren mit isoliertem Gate erzeugt werden.

Aus dem Aufsatz "A Self-Isolation Scheme for Integrated Circuits" von M.B. Vara in in IBM J. RES. Develop., November 1971, ist ein selbstisolierendes Aufbauschema zur Herstellung von Transistoren in integrierten Halbleiterschaltungen bekannt. Bei einem aus Fig. 2 dieser Entgegenhaltung bekannten Verfahren wird nacheinander jeweils ein Dotierungsschritt mit hochkonzentriertem Arsen bzw. niedrigkonzentriertem Phosphor vorgenommen. Danach wird der Wafer einem Epitaxialprozeßschritt unterzogen. Während der Epitaxialablagerung diffundieren Arsen und Phosphor in die Epitaxialschicht. Dabei diffundiert der Phosphoranteil erheblich schneller als das Arsen. Im nächsten Schritt wird der Wafer bei hohen Temperaturen oxidiert, so daß die Phosphoratome die Oberfläche erreichen, wohingegen die  $n^+$ -Arsen-dotierte Schicht von der Oberfläche entfernt bleibt. Im Ergebnis entsteht daher eine Phosphor-dotierte Tasche mit einer vorangegangenen arsendotierenden  $n^+$ -Schicht.

Aus der Druckschrift DE-A1-25 42 153 ist ein Verfahren zur Herstellung eines Halbleiterbausteins bekannt, bei der eine vergrabene Schicht eines ersten Leitungstyps durch Diffusion in ein Substrat eines zweiten Leitungstyps ausgebildet wird. Durch Ionenimplantation werden Dotierungszonen erzeugt, die in einem besonderen Prozeßschritt durch eine epitaxiale Schicht hindurchdiffundieren, bis beide im Implantationszonen ineinander übergegangen sind.

Aus der Druckschrift US-A-4,132,573 ist ein Verfahren zur Herstellung einer integrierten Halbleiterschaltung unter Nutzung epitaxialer Ablagerung und gleichzeitiger Ausdiffusion bekannt, bei dem Halbleiterkomponenten in Oberflächenbereichen eines Halbleiterkörpers angeordnet werden. Die elektrische Isolation dieser Halbleiterkomponenten untereinander wird dadurch bewerkstelligt, daß Oberflächenbereiche eines Substrats mit Phosphor-, Antimon- und/oder Arsen-Dotierstoffen entgegengesetzten Leitfähigkeitstyps bezüglich des Substrats dotiert werden. Nach diesem Dotierungsschritt wird eine Epitaxialschicht eines Leitfähigkeitsstyps, der dem des Substrats entgegengesetzt ist, über der gesamten Substratoberfläche mit einer Dotierstoffkonzentration, die geringer als die des Substrats ist, erzeugt. Im Zuge darauffolgender Prozeßschritte diffundieren Dotierungsstoffe aus dem Substrat in die Epitaxialschicht, wohingegen Phosphor aus den stark dotierten Oberflächenschichten nach unten in das Substrat diffundiert, um einen stufenartigen PN-Übergang zu erzeugen. In nachfolgenden Prozeßschritten wird ein Dotierstoff des gleichen Leitfähigkeitsstyps, wie er auch beim Substrat verwendet worden ist, von der Oberfläche der Epitaxialschicht in Richtung auf das Substrat hin diffundiert, bis er die ausdiffundierten Substratdotierstoffe trifft, um die Isolation der Oberflächenbereiche zu vervollständigen.

Aus der Druckschrift US-A-3,576,475 ist ein Verfahren zur Herstellung von Feldeffekttransistoren für integrierte Schaltungen bekannt, bei einem Siliziumsubstrat mit einer N-dotierten Epitaxialschicht auf einer Seite

und einer N-dotierten diffundierten Subepitaxial-Region erzeugt wird, die sich in einer Richtung in eine P-dotierte Region in der Oberfläche des Substrats und in der anderen Richtung in die Epitaxialschicht erstreckt, um einen Übergang mit einem P-diffundierten Kanalbereich, der sich teilweise in die Epitaxialschicht erstreckt, zu erzeugen.

Der Erfindung liegt hauptsächlich die Aufgabe zugrunde, ein Verfahren zur Herstellung einer vergrabenen Schicht in einer monolithischen Halbleitervorrichtung anzugeben, das die schädliche Ausbildung von Zwischenschichten oder Phantomschichten vermeidet und das sowohl für den Leistungstransistor als auch für die Transistoren der integrierten Schaltung ausgezeichnete Kennwerte ergibt.

Diese Aufgabe wird erfindungsgemäß gelöst durch ein Verfahren nach den Merkmalen des Patentanspruchs 1. Den Unteransprüchen 2 und 3 sind vorteilhafte, nichtriviale Weiterbildungen des Gegenstandes des Patentanspruches 1 entnehmbar.

Die vergrabene Schicht unter der Kollektorzone der Transistoren der integrierten Schaltung wird mittels einer zunächst durchgeführten Ablagerung oder Implantation und einer nachfolgenden Diffusion von zwei Arten von Dotierstoffen gebildet, die dasselbe Vorzeichen haben und deren Diffusionskoeffizienten D größer bzw. kleiner sind als einer dritten Art eines Dotierstoffes mit einem zu dem zuvor abgelagerten oder implantierten und in ein Siliziumsubstrat diffundierten Dotierstoff entgegengesetzten Vorzeichen.

Die Erfindung ist nachstehend an einem Ausführungsbeispiel erläutert, das in der Zeichnung dargestellt ist. Es zeigt

Fig. 1a—1e nicht maßstabsgetreue Schnittdarstellungen eines Teils einer monolithischen Vorrichtung mit einem Leistungstransistor und zwei Transistoren einer integrierten Schaltung während verschiedener Phasen des Herstellungsverfahrens gemäß der Erfindung;

Fig. 2 graphische Darstellung der Konzentrationsverteilung von drei Arten von Dotierstoffen in einem Querschnitt der Fig. 1e, der durch die vergrabene Schicht und die oberen Kollektor-, Basis- und Emitter-Zonen eines Transistors der integrierten Schaltung läuft. Der Kurvenverlauf der drei Arten von Dotierstoffen, die nach dem erfindungsgemäßen Verfahren eingesetzt werden, ist auf die genannte vergrabene Schicht und die ihr benachbarten Zonen begrenzt;

Fig. 3 eine Kurvendarstellung der Verteilung der Konzentration über denselben Querschnitt der Vorrichtung gemäß der Erfindung in Abhängigkeit von der Tiefe X, wobei die Zahlen auf der X-Achse dieselben Zonen bezeichnen, die in den Fig. 1a—1e mit diesen Zahlen angegeben sind.

Anhand der Fig. 1a—1e wird ein erfindungsgemäßes Verfahren zur Herstellung einer Halbleitervorrichtung erläutert, die auf einem Siliziumplättchen ausgebildet ist und einen NPN-Leistungstransistor sowie zwei NPN-Transistoren einer integrierten Schaltung, die auf demselben Plättchen gebildet ist, hat. Die Elektroden der drei Transistoren befinden sich an der Frontseite des Plättchens, ausgenommen der Kollektor des Leistungstransistors, der auf der Rückseite des Plättchens liegt. Die Vereinigung eines Leistungstransistors und einer integrierten Schaltung mit verschiedenen Transistoren und anderen Komponenten, die untereinander verbunden sind, auf demselben Siliziumplättchen erlaubt die Herstellung einer sehr kompakten und wirkungsvollen Vorrichtung, in der die integrierte Schaltung das Steuer-

element niedriger Energie ist, während der Leistungstransistor einen Treiber hoher Energie darstellt, der elektrische Motoren, Solenoide, Widerstandslasten und ähnliche Leistungsvorrichtungen in geeigneter Weise steuern kann.

Das Verfahren gemäß der Erfindung besteht aus den folgenden, nacheinander ablaufenden Phasen:

Phase A — Auf einem Substrat aus N<sup>+</sup>-dotiertem, monokristallinen Silizium niedrigen spezifischen Widerstandes wird eine erste epitaktische Wachstumsphase so durchgeführt, daß eine mittels Phosphor N<sup>-</sup>-dotierte Schicht 2 entsteht. Die epitaktische Schicht 2 hat eine Dotierstoffkonzentration von etwa 1.10<sup>14</sup> Atomen/cm<sup>3</sup>, was für eine Kollektorzone eines Transistors hoher Spannung typisch ist.

Phase B — Durch bekannte Verfahrensschritte der Oxidation, der Fotomaskierung, der Ätzung und der Diffusion wird in der epitaktischen Schicht 2 und genauer in einer Zone des Plättchens, die für die integrierte Schaltung bestimmt ist, eine Zone 3 hergestellt, die mittels Bor einer Konzentration von 4.10<sup>13</sup> Atomen/cm<sup>3</sup> P-dotiert ist. Diese Zone 3 stellt die horizontale Isolierzone der Transistoren der integrierten Schaltung dar.

Phase C — Mit Hilfe der üblichen Verfahrensschritte der Oxidation, der Fotomaskierung, der Ätzung und der Diffusion werden in der Zone 3 die vergrabenen Schichten 4 und 5 ausgebildet, die N<sup>+</sup>-dotiert sind. Diese Schichten, die beim Stand der Technik durch Diffusion von Antimon oder Arsen hergestellt würden, werden gemäß der Erfindung dadurch gebildet, daß ein erstes Mal Antimon mit einer Dosis von 1.10<sup>15</sup> Atomen/cm<sup>2</sup> und ein zweites Mal Phosphor mit einer Dosis von 1.10<sup>13</sup> Atomen/cm<sup>2</sup>, d. h. mit einer 100mal kleineren Dosis als Antimon, implantiert wird.

Falls gewünscht, kann zunächst die Implantation von Phosphor und dann die Implantation von Antimon in den angegebenen Dosen ausgeführt werden (Fig. 1a).

Phase D — Es erfolgt eine zweite epitaktische Wachstumsphase von Silizium, das mittels Phosphor N<sup>-</sup>-dotiert ist, wobei sich eine epitaktische Schicht 6 mit den selben Eigenschaften wie denen der Schicht 2 ergibt.

Die beiden epitaktischen Schichten, die in den Fig. 1b bis 1e mit 2 und 6 bezeichnet sind und durch eine horizontale gestrichelte Linie getrennt sind, bilden in der für den Leistungstransistor bestimmten Zone in Wirklichkeit eine einzige Schicht, die gemeinsam mit dem Substrat 1 die Kollektorzone des Leistungstransistors ist. Ferner sei darauf hingewiesen, daß die vergrabenen Schichten 4 und 5 die in Fig. 1b gezeigte Form vor allem aufgrund des epitaktischen Wachsens und auch aufgrund der nachfolgenden Operationen bei hoher Temperatur annehmen, denen das Plättchen nach der Implantation von Antimon und Phosphor ausgesetzt wird.

Phase E — Mit den üblichen Techniken der Oxidation, der Fotomaskierung, der Ätzung und der Diffusion werden die N-Zonen 8 und 9 niedrigen spezifischen Widerstandes gebildet, welche die Kollektorzonen der Transistoren der integrierten Schaltung bilden (Fig. 1c).

Diese Zonen werden durch Ablagerung oder Implantation von Phosphor auf den Teilen der Oberfläche des Plättchens, die über den vergrabenen Schichten 4 und 5 liegen, und durch anschließende Tiefendiffusion des Phosphors gebildet. Die Diffusionszeit und die Diffusionstemperatur sind so gewählt, die die Phosphoratome, die abgelagert oder implantiert sind, und die Phosphoratome, die aus den vergrabenen Schichten diffundieren, dazu neigen, sich so zu verteilen, daß die Zonen 8 und 9 eine nahezu konstante Konzentration über

die gesamte Schichtdicke mit einer Größe von etwa  $1.10^{15}$  Atome/cm<sup>3</sup> haben.

Zur Verdeutlichung einer wesentlichen Eigenschaft der Erfindung sei darauf hingewiesen, daß die Zonen 8 und 9 eine Dotierstoffkonzentration haben, die 10mal größer als diejenige in den epitaktischen Schichten 2 und 6 ist, die ebenfalls vom N-Typ sind und die Kollektorzone des Leistungstransistors bilden. Das beruht auf der Diffusion des dem Antimon hinzugefügten Phosphors zur Bildung der vergrabenen Schichten (buried layers) und auf der zusätzlichen, lokalen Diffusion des Phosphors unter der Oberfläche 7, um in der gesamten Zone eine gleichförmige Dotierung zu erzielen. Gemäß der Erfindung wird mithin in den Zonen 8 und 9 die Konzentration des Dotierstoffs, der in der epitaktisch gewachsenen Schicht 6 vorliegt, verändert, wodurch sich Kollektorzonen der Transistoren der integrierten Schaltung und des Leistungstransistors ergeben, deren Eigenschaften und elektrische Leistungen verschieden voneinander sind.

Phase F — An dieser Stelle des Verfahrens wird die Herstellung der Vorrichtung mit den bekannten Techniken fortgesetzt, welche zur Komplettierung dieser Ausführungen nachstehend aufgeführt werden.

Mit den üblichen Methoden der Oxidation, der Fotoabdeckung, der Ätzung und der Diffusion von Bor werden die P-Basiszone 10 des Leistungstransistors und die lateralen P-Isolierzonen 11 der Transistoren der integrierten Schaltung gebildet, so daß die Transistoren voneinander und vom Rest des Plättchens isoliert bleiben (Fig. 1d).

Phase G — Mit den herkömmlichen Techniken werden die N<sup>+</sup>-Emitterzone 12 des Leistungstransistors sowie — mit demselben Dotierstoff — die N<sup>+</sup>-Zonen 13 und 14 niedrigen spezifischen Widerstandes gebildet, die dazu dienen, den ohmschen Kontakt zwischen den Kollektorzonen 8 und 9 der Transistoren der integrierten Schaltung und einer metallischen Elektrode herzustellen (Fig. 1e).

Phase H — Es folgt die Bildung der diffundierten P-Basiszonen 15 und 16 und anschließend der diffundierten N-Emitterzonen 17 und 18 der Transistoren der integrierten Schaltung (Fig. 1e).

Phase I — Schließlich werden die metallischen Kontakte für die Emitterelektrode 19, die Basiselektrode 20 und die Kollektorelektrode 21 des Leistungstransistors und für die Emitterelektroden 23 und 26, die Basiselektroden 24 und 27 und die Kollektorelektroden 25 und 28 der Transistoren der integrierten Schaltung sowie die metallischen Verbindungsbahnen auf der Siliziumoxid-Isolierschicht 22 des Plättchens gebildet (Fig. 1e).

Anhand der Fig. 2 und 3 werden die Wirkungen des Verfahrens gemäß der Erfindung erläutert, wobei klar gestellt wird, wie die Aufgaben der Erfindung mit diesem Verfahren gelöst werden.

Fig. 2 zeigt drei Kurven, die den Verlauf der Konzentration von Bor (B), von Antimon (Sb) und von Phosphor (P) in der vergrabenen Schicht 4 sowie in den angrenzenden Zonen (Kollektorzone 8 und Isolierzone 3) der mit dem oben erläuterten Verfahren hergestellten Vorrichtung darstellen. Das Bor (Kurve B) ist der P-Dotierstoff, der bei der Diffusion für die Bildung der Isolierzone 3 der Transistoren der integrierten Schaltung verwendet wurde. Das Antimon (Kurve Sb) ist der N-Dotierstoff, der bei der Implantation und nachfolgenden Diffusion für die Bildung der vergrabenen Schicht 4 des erwähnten Transistors der integrierten Schaltung eingesetzt wurde. Beim Phosphor (Kurve P) handelt es

sich um den N-Dotierstoff, der gemäß der Erfindung in einer kleinen Menge für die Bildung der vergrabenen Schicht 4 des Transistors der integrierten Schaltung verwendet wird, um die schädliche Wirkung zu kompensieren, die durch die Ausdiffusion des Bor, das in der stark dotierten Zone 3 vorliegt, hervorgerufen wird.

Da Phosphor einen Diffusionskoeffizienten D hat, der größer ist als der von Bor und der von Antimon, ist Phosphor in der Kollektorzone 8 reichlicher vorhanden als Bor, nicht jedoch in der Isolierzone 3 der Transistoren der integrierten Schaltung. Damit liegen in der Kollektorzone 8 drei Dotierstoffe (Bor, Antimon, Phosphor) mit einer quasi gleichen Konzentration vor (da diese Dotierstoffe in einer solchen Menge eingegeben sind, die diese Bedingung erfüllt), welche diese Zone N-dotieren; denn zwei Dotierstoffe (Antimon und Phosphor) sind vom Typ N, während Bor vom Typ P ist. Das nachfolgende epitaktische Wachsen, genauer die zweite epitaktische Wachstumsphase einer mittels Phosphor N<sup>+</sup>-dotierten Siliziumschicht mit weiterer, örtlicher Anreicherung von diffundiertem Phosphor in der Zone 8, was die Konzentration der Dotierstoffe in diesen Zonen quasi auf einen konstanten Wert bringt, gestattet die Erzielung der Kollektorzone 8 des Transistors der integrierten Schaltung mit einer mittleren Konzentration von  $1.10^{15}$  Atomen/cm<sup>3</sup> über die gesamte Dicke, d. h. mit einem Wert, der 10mal größer ist als die Konzentration der epitaktischen Schicht 2, die den Kollektor des Leistungstransistors bildet.

30 Andererseits wird, wie Fig. 2 zeigt, kein Schaden durch den Zusatz von Phosphor verursacht, der gemäß der Erfindung für die Bildung der vergrabenen Schichten (buried layers) für die reguläre und bekannte Funktionsweise der darunterliegenden Isolierschicht 3 eingesetzt wurde; dies deshalb, weil einerseits die Menge des Phosphors vernachlässigbar ist und weil andererseits eventuelle Spuren von Phosphor begrenzt bleiben auf das Innere der vergrabenen Schichten in der Nähe der Unterseite dieser Schichten, ohne in die P-Isolierschicht 3 zu diffundieren, weshalb sich in dieser Schicht keine Phantomschichten einstellen.

Fig. 3 zeigt das Störstellenprofil in Abhängigkeit von der Tiefe in einem Vertikalschnitt der Vorrichtung der Fig. 1e, der durch die vergrabene Schicht 4 und die Emitterzone 17 eines Transistors der integrierten Schaltung verläuft. Die Zahlen auf der Abszisse stimmen mit denjenigen der Fig. 1e überein und geben die Schichten an, welche die zuvor beschriebene Vorrichtung bilden.

Zusammenfassend ist festzuhalten, daß mittels der bereits bekannten Auslegungs- und Herstellungskriterien und der oben erläuterten Maßnahmen, die die Erfindung kennzeichnen, ein Verfahren zur Herstellung einer Halbleitervorrichtung angegeben wird, das die Nachteile des Standes der Technik vermeidet und damit die Herstellung einer monolithischen Vorrichtung mit optimalen Eigenschaften und Leistungen erlaubt.

Über das beschriebene und dargestellte Ausführungsbeispiel hinaus sind selbstverständlich zahlreiche Abänderungen möglich, ohne dadurch den Rahmen der Erfindung zu verlassen. So kann beispielsweise die Erfindung für die Bildung integrierter Schaltungen verwendet werden, um Kollektorzonen der Transistoren zu erhalten, deren Dotierstoffkonzentrationen nicht identisch, sondern untereinander verschieden sind. Das ist dann besonders zweckmäßig, wenn man auf demselben Plättchen integrierte Transistoren mit elektrischen Kennwerten benötigt, die aufgrund der ihnen zugeordneten Schaltungsfunktionen von Transistor zu Transistor ver-

schieden sind, beispielsweise Signalverarbeitungstransistoren und Schaltransistoren.

Um Kollektorzonen 8 und 9 mit ihren zugehörigen vergrabenen Schichten 4 und 5 bei Transistoren der integrierten Schaltung mit unterschiedlichem spezifischen Widerstand zu erzeugen (Fig. 1a – 1e), werden die Phasen C (Implantation der Dotierstoffe in die vergrabenen Schichten 4 und 5) sowie E (weitere Diffusion von Phosphor für die Anreicherung der Kollektorzonen 8 und 9), geändert, welche zuvor für den speziellen Fall der Herstellung von Kollektorzonen bei Transistoren der integrierten Schaltung, die untereinander alle gleich sind, beschrieben wurden. Die Änderung erfolgt dabei in dem Sinn, daß Verfahrensschritte der Oxidation, der Fotomaskierung, der Ätzung, der Implantation und der Diffusion von Phosphor in entsprechend dem Entwurf in bekannter Weise erforderlichen Konzentrationen hinzugefügt werden, wobei diese Verfahrensschritte so oft wiederholt werden, wie Kollektorzonen mit unterschiedlichem spezifischen Widerstand vorhanden sind, welche für den optimalen Betrieb der integrierten Schaltung erzeugt werden müssen.

Im besonderen Fall, daß die beiden Kollektorzonen 8 und 9 voneinander verschiedene Dotierstoffkonzentrationen haben sollen, beispielsweise eine niedrigere in Zone 8 und eine höhere in der Zone 9, muß entsprechend den folgenden Arbeitsphasen vorgegangen werden:

Phase C1 — Bildung der vergrabenen Schicht 4.

Phase C2 — Bildung der vergrabenen Schicht 5 mit einer höheren Dotierstoffkonzentration nach vorheriger Abdeckung der zuvor gebildeten vergrabenen Schicht 4.

Phase D — Wachstum der durch Phosphor N<sup>-</sup>-dotierten epitaktischen Schicht 6.

Phase E1 — Bildung der Zone 8.

Phase E2 — Bildung der Zone 9 mit höherer Dotierstoffkonzentration nach vorheriger Abdeckung der zuvor erzeugten Zone 8.

#### Patentansprüche

1. Verfahren zur Herstellung einer Halbleitervorrichtung, die wenigstens einen Leistungstransistor sowie eine Steuerschaltung enthält, welche auf demselben Plättchen aus Halbleitermaterial integriert sind, umfassend die folgenden Verfahrensschritte:

- Herstellen einer ersten Schicht (1, 2) aus monokristallinem Silizium mit einem ersten Leitfähigkeitsotyp,

- Dotieren der ersten Schicht (1, 2) mit einer ersten Art eines Dotierstoffes zur Bildung einer ersten Zone (3) eines zweiten Leitfähigkeitsyps, der zum ersten Leitfähigkeitsyp entgegengesetzt ist,

- Bildung wenigstens einer zweiten Zone (4, 5) in der ersten Zone (3), wobei zur Herstellung der zweiten Zone (4, 5) eine zunächst durchgeführte Ablagerung oder Implantation und eine nachfolgende Diffusion einer zweiten und einer dritten Art von Dotierstoffen des ersten Leitfähigkeitsyps erfolgen, welche einen höheren bzw. einen niedrigeren Diffusionskoeffizienten als die erste Dotierstoffart haben,

- Epitaktisches Aufwachsen einer zweiten Schicht (6) des ersten Leitfähigkeitsyps mit

hohem spezifischen Widerstand auf der ersten Schicht (1, 2), wobei in den Bereichen (8, 9) der zweiten Schicht (6), die an die zweite Zone (4, 5) angrenzen, die resultierende Nettodotierung annähernd konstant ist,

- Bildung einer Isolierzone (11) vom zweiten Leitfähigkeitsotyp in der zweiten Schicht (6) und Teilbereichen der ersten Schicht (1, 2), wobei die Isolierzone (11) die zweite Zone umschließt,

- Bildung wenigstens einer Zone des zweiten Leitfähigkeitsyps, die dazu bestimmt ist, die Basis (10) eines Leistungstransistors zu bilden, in der zweiten Schicht (6),

- Bildung einer Zone des ersten Leitfähigkeitsyps, die dazu bestimmt ist, den Emitter (12) des Leistungstransistors zu bilden, in der Basiszone (10),

- Bildung von weiteren Zonen zur Herstellung aktiver oder passiver Elemente der integrierten Schaltung im Inneren des Bereichs oder der Bereiche (8, 9) der zweiten Schicht (6), die von den Isolierzonen (11) umschlossen sind,

- Bildung von Elektroden auf der Vorderseite und auf der Rückseite des Plättchens sowie von metallischen Verbindungsbahnen zwischen den aktiven und den passiven Elementen der integrierten Schaltung und dem Leistungstransistor.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die zweite und die dritte Art der Dotierstoffe aus Antimon und Phosphor bestehen, und zwar in Verhältnissen, die zwischen einem und zehn Teilen Phosphor je 100 Teilen Antimon liegen, und daß die erste Dotierstoffart aus Bor besteht.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß das Verhältnis der Störstellenkonzentrationen in Bereichen der ersten Schicht (1, 2) und der zweiten Schicht (6), die an die Basiszone (10) des Leistungstransistors angrenzen, und in dem Bereich (8, 9) der zweiten Schicht (6), der an die zweite Zone (4, 5) angrenzt, bzw. in den Bereichen (8, 9) der zweiten Schicht (6), die an die zweiten Zonen (4, 5) angrenzen, zwischen 1 und 1/100 liegt.

---

Hierzu 3 Seite(n) Zeichnungen

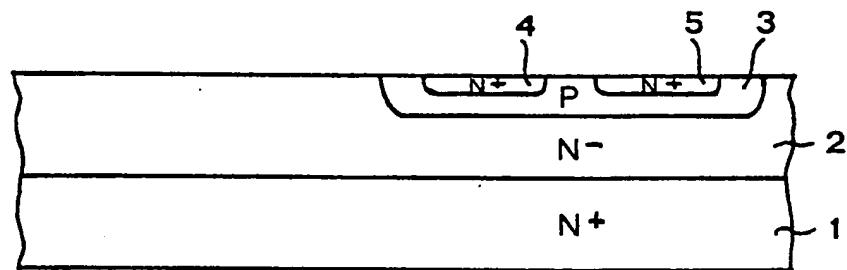


FIG. 1a

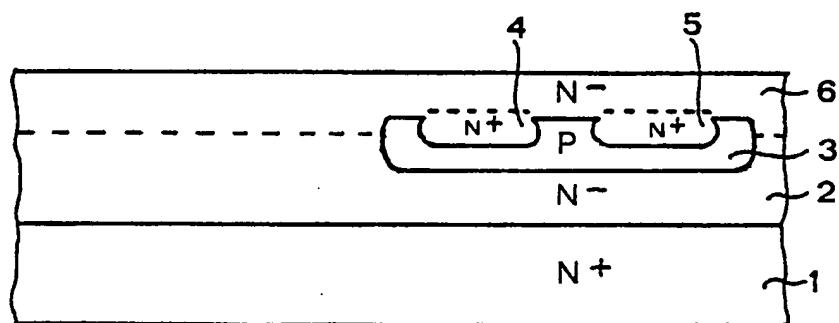


FIG. 1b

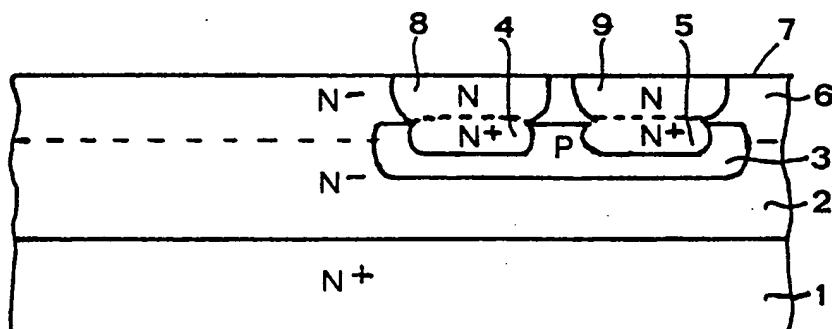


FIG. 1c

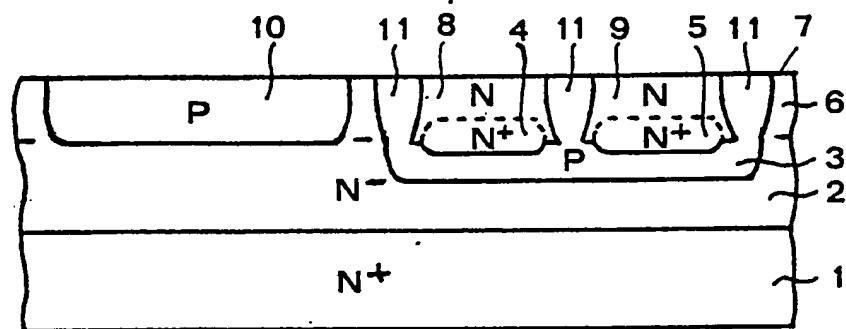


FIG. 1d

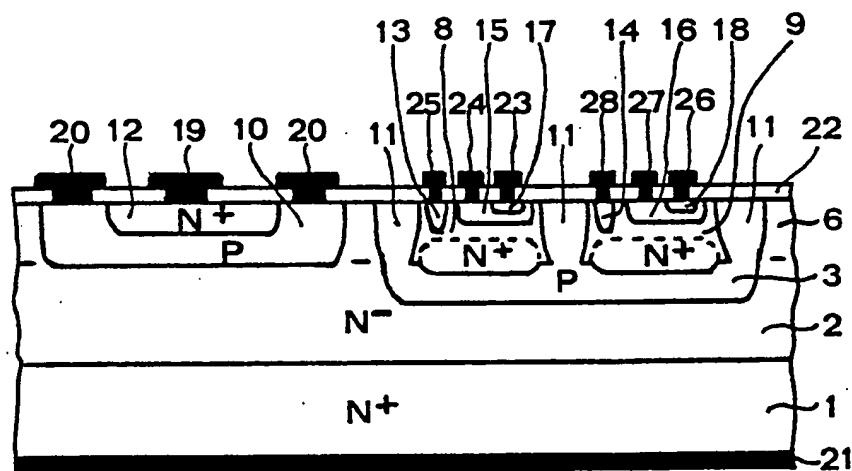


FIG. 1e

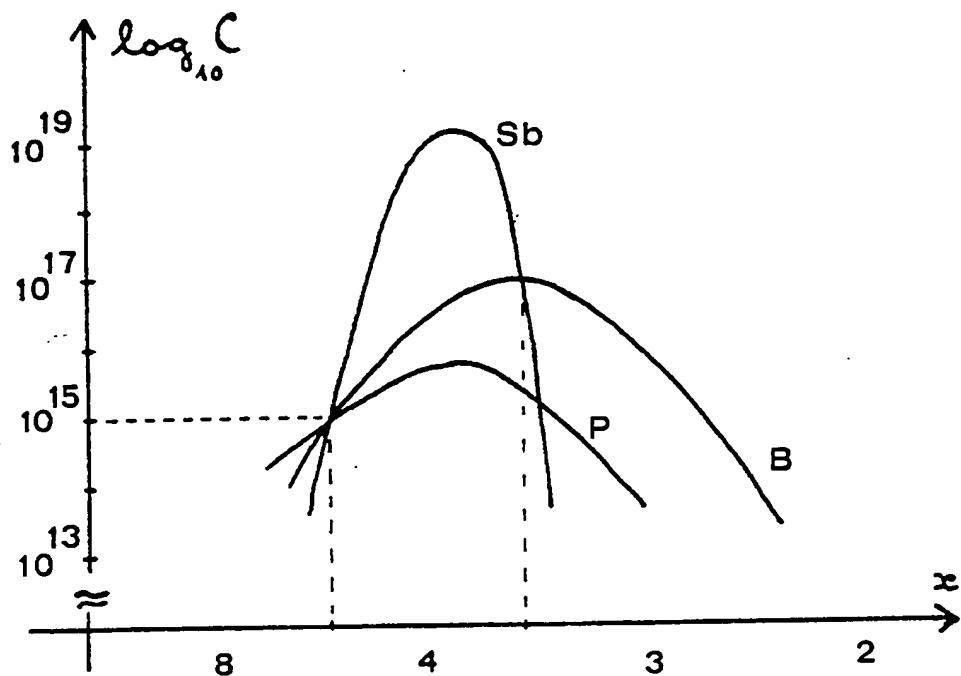


FIG. 2

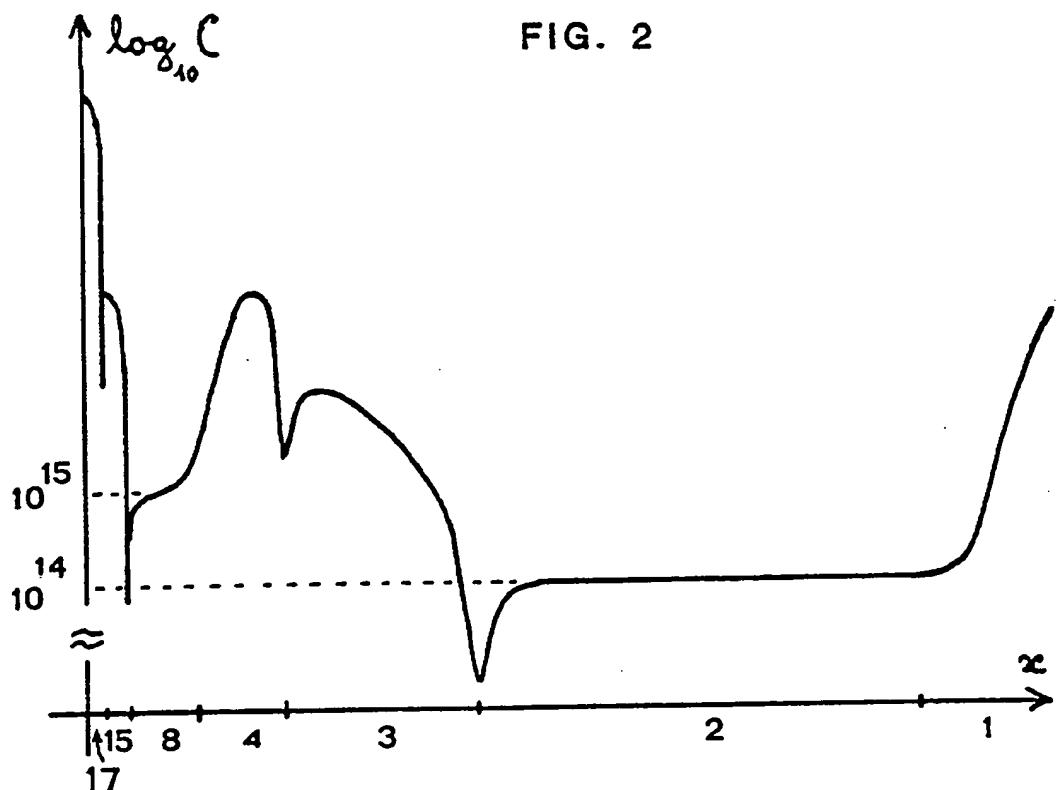


FIG. 3